

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221099

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

H01L 21/3205

H01L 21/768

H01L 21/8242

H01L 27/108

(21)Application number : 06-035474

(71)Applicant : NEC CORP

(22)Date of filing : 08.02.1994

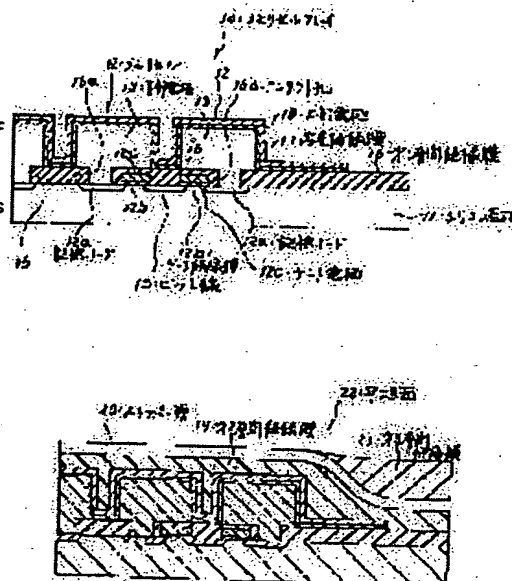
(72)Inventor : SAKAO MASATO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a capacitance part from being polished when an interlayer insulating film which is flat is formed by a method wherein a stopper layer whose polishing speed is remarkably smaller than that of the interlayer insulating film is formed at the upper part of an element or an interconnection arrangement, the interlayer insulating film is deposited on the surface, including the upper part of the stopper layer and the interlayer insulating film is polished and removed until the stopper layer is exposed.

CONSTITUTION: A second-layer interlayer insulating film 19 which is composed of a BPSG film is deposited on the whole face of the capacitance part of a memory cell 12 which is composed of a lower-part electrode 13 and of a capacitance insulating film 17 and an upper-part electrode 18 which are laminated on it. After that, a stopper film 20 which is composed of a silicon nitride film is formed. In succession, a third-layer interlayer insulating film 21 which is based on a silicon oxide film is formed. After that, a polishing operation is executed, a difference in level is eliminated in a part in which the stopper film 20 is exposed, and a flat face 22 is formed. At this time, the polishing speed of the stopper film 20 which is composed of the silicon nitride film is slow by five to ten times as compared with that of the BPSG film as the second interlayer insulating film 19. Thereby, a capacitance part including the upper-part electrode 18 is not polished.



LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2864982

[Date of registration] 18.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221099

(43) 公開日 平成7年(1995)8月18日

(51) Int. Cl.⁶

H 0 1 L 21/3205

21/768

21/8242

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

K

21/ 90

M

審査請求 未請求 請求項の数 5 F D (全 11 頁) 最終頁に続く

(21) 出願番号 特願平6-35474

(22) 出願日 平成6年(1994)2月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂尾 真人

東京都港区芝五丁目7番1号 日本電気株式会社内

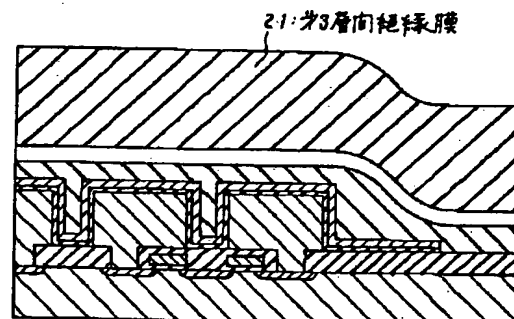
(74) 代理人 弁理士 煤孫 耕郎

(54) 【発明の名称】 半導体装置の製造方法

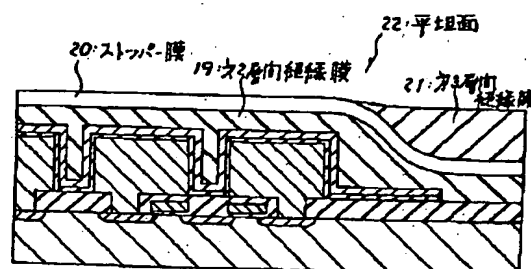
(57) 【要約】

【目的】 スタック容量型DRAMメモリで問題となるセルアレイ領域と周辺領域の間の層間絶縁膜の段差を除去し、平坦な層間絶縁膜を形成する際、過剰な研磨が起り容量部が研磨されるのを防止することを目的とする。

【構成】 スタック容量の上部に研磨のストッパー膜(20)を配置し、ストッパー膜(20)が露出した時点で研磨を停止する。このストッパー膜がスタック容量上に配置されているので容量部は研磨されることがなく、層間絶縁膜の平坦化が可能と成る。



(a)



(b)

【特許請求の範囲】

【請求項1】 半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、次いで前記停止層をエッチングにより除去する平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、次いで前記停止層をエッチングにより除去し、その上に層間絶縁膜を堆積する平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 層間絶縁膜よりも研磨加工速度の著しく小さい停止層がシリコン窒化膜であることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 層間絶縁膜よりも研磨加工速度の著しく小さい停止層が窒化チタン膜であることを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特にデバイス上の層間絶縁膜を平坦に形成する方法に関するものである。

【0002】

【従来の技術】 微細化した高密度配線に対してリソグラフィやエッチングを可能にするには、下地の絶縁膜をあらかじめ十分に平坦化しておかなければならない。パターンの解像度として $0.5\mu\text{m}$ 以下を必要とするなら、下地絶縁膜の平坦度を局所的にも、また広域的にも（露光領域の全面にわたって）確保する必要がある。下地絶縁膜の局所的な平坦度は従来用いられている酸化膜リフローによって達成できるが、広い領域にわたって厳しい平坦度が要求される場合には、研磨技術しか手段がない。

【0003】 配線の下地層間膜の平坦化に用いられた研磨技術としては1990年のVMIC (1990 PROCEEDING IEEE VLSI MULTILEVEL INTERCONNECTION CONFERENCE) の予稿集にてP. 438～P. 440に提案されたものがある。図10～図11は、配線の下地層間膜の研磨技術を、その工程順に示しているもので、図10

(a)～(b)には、従来の研磨を用いた平坦化方法を工程順に示した断面図で、図11には、従来の研磨を用いた平坦化方法を工程順に示した断面図が示されている。

以下これに従って従来の研磨技術について説明する。図10(a)は、平坦化を行なう絶縁膜の下地デバイスの断面構造を示している。シリコン基板(31)上には素子分離(32)、ソース(33a)、ドレイン(33b)及びゲート電極(34)が形成されている。またゲート電極(34)及びこれと同層の配線(35)の上層にリフローしたBPSGよりなる第1層間絶縁膜(36)があり、これにはコンタクト(37)が形成されているとともに、CVD W/TiN/TiSi₂よりなる $0.9\mu\text{m}$ 程度の下層配線(38)が形成されている。

【0004】 この状態から図10(b)のように、 $2.7\mu\text{m}$ のプラズマCVD酸化膜を全面に成長する。ここで研磨液としてコロイダルシリカスラリーを研磨パッドとしてポリウレタンパッドを用い、通常の研磨装置にて12～20分程度の研磨を行なう。研磨においては研磨定盤が参照平坦面となり、表面の凹部より凸部の方が研磨速度が早くなることにより、表面が平坦化される。しかしこのような通常の研磨方法では、図11に示すように 20nm から 50nm 程度の段差が残ってしまう。さらにこのような段差を除去しようと研磨を加えていくと、段差は軽減されず下層配線(38)が露出してしまふといった問題が発生する。

【0005】 そこで、さらに高精度の平坦面を形成する場合に対して、研磨をある一定値以上は行ないたくない部分には研磨が停止するようなストッパー層を設ける方法が特開昭63-76349にて提案された。その方法を図12～図14を用いて説明する。この図12(a)～(b)は従来のストッパー膜を用いた研磨による平坦化方法が必要となった経緯を説明するため配線とコンタクトの構造の断面図である。その内(a)は2層配線のコンタクト部分の断面図である。(b)は従来のストッパー膜を用いてない研磨による平坦化方法で生じた問題点を説明するためのコンタクト部分の断面図であり、図13(a)～(c)は、従来のストッパー膜を用いた研磨による平坦化方法を工程順に示した断面図であり、図14(a)～(c)は、従来のストッパー膜を用いた研磨による平坦化方法を工程順に示した断面図である。

【0006】 まず、なぜ前述のような高精度な平坦面が必要とされるのかについて説明する。図12(a)は高精度な平坦面を必要とする2層配線構造の説明図であ

る。第1層配線(51)に対し絶縁膜(52)に形成されたコンタクトホール(53)を介して第2層配線(54)が接続されている部分の断面構造を示している。このような2層配線のコンタクト部分では集積回路の高集積化にともないコンタクトホール(53)の直径 a はその深さ b に対して小になる傾向がある。この b/a で与えられるアスペクト比が大になると、例えば第2層配線(54)としてアルミを蒸着したとき、絶縁膜(52)の平坦部の上のアルミの厚さ t_1 に対してコンタクトホールの側壁上のアルミの厚さ t_2 は $t_1 > t_2$ となる。

【0007】アルミ配線に流される電流値はアルミ配線の段面積を計算して設定されるが、前記した例において第2層配線(54)においてコンタクトホール(53)の側面上の第2層配線(54)の断面積は平坦部の第2層配線(54)の断面積よりも小になり、コンタクトホールの部分で抵抗が大になる問題がある。このような問題を解決するために、図14(c)に示したような第1層配線(57)に柱状凸部(59)を設けておき、この柱状凸部を(59)介して第1層配線(57)と第2層配線(62)を接続する方法が提案された。この構造の柱状凸部(59)と絶縁膜(52)の上面の高さをあわせる方法として高精度は平坦化技術が必要となる。

【0008】それはこの構造を形成するために従来の研磨方法を用いると、図12(b)に示すように、同一レベルの第1層配線(52)に図中実線で示すおなじ高さの柱状凸部(55)を設け、全面に絶縁膜(52)を点線で示すように柱状凸部(55)を完全に覆うように堆積し、この絶縁膜(52)を前述のような、通常の研磨技術で研磨を用い、柱状凸部(55)の表面が出るまで研磨を行なう。この場合、シリコン基板の面内における研磨の程度の分布、即ち研磨されすぎる(オーバー研磨)部分と、ちょうど良く研磨されている部分とまだ十分に研磨されていない(アンダー研磨)部分が発生することは避けられない。図12(b)においては、左側の形状凸部(55)は丁度のところまで研磨されているが、右側の柱状凸部(55)は点線で示すようにオーバー研磨された状態を示す。このような状態では、このシリコン基板内の研磨の分布がそのまま柱状凸部(55)の高さに影響し、第2層配線(54)のレベルに不均一が発生する問題が生じる。

【0009】そこで、前述のストッパー層を設けた研磨技術が必要となる。図13～図14は、この技術を説明するための2層構造配線の形成プロセスを工程順に示している。図13(a)は平坦化を行なう絶縁膜の下地配線の構造を示している。(56)は支持基板でありその上に第1層配線(57)が配置されている。この第1層配線(57)の上層に同じ形状のエッチングストッパー(58)と柱状凸部形成部材(59)が積層されている。この状態から図13(b)に示すように、層間絶縁膜としてPSG膜(60)を $1.5\mu\text{m}$ 堆積する。さら

にこれに積層するように全面に研磨ストッパー膜(シリコン窒素膜)(61)を $0.3\mu\text{m}$ とレジスト膜(62)を順次堆積する。

【0010】研磨ストッパー膜(61)には図13(b)、(c)に示すように、研磨ストッパー平坦部(61a)と研磨ストッパー隆起部(61b)がPSG膜(60)の形状に対応して形成される。引き続き、ドライエッチングを行ない、図13(c)のように研磨ストッパー隆起部(61b)を除去する。次に、図14(a)に示すように柱状凸部形成部材(59)の表面が露出するまで、PSG膜(60)を研磨する。この研磨に支持基板面内ではばらつきがあっても、そこではこの研磨ストッパー平坦部(61a)が働いてオーバー研磨が発生するのを防止する。

【0011】従って、すべての柱状凸部形成部材(59)の表面が露出するまで、図12(b)に示したオーバー研磨を防止しつつ研磨がなされる。この研磨が終了した図14(a)の構造を横方向からみた形状を図14(b)に示している。この後、柱状凸部形成部材(59)のエッチングを行ない図14(c)に示される柱状凸部(59a)をつくり、次いで第2層配線(62)を形成する。このストッパー膜を設けた研磨技術は、上述のように従来の2層配線のコンタクト部分のような比較的小面積の領域ではオーバー研磨を防止し、絶縁膜の平坦化が可能となっている。それは研磨を行なうウエハ全面に対し図13(c)に示された研磨ストッパー平坦部(61a)がほとんどの領域をしめ、平坦化されるべき柱状凸部形成部(59)(図14(a))及びその周辺領域が非常に小さな領域しかしめていないことに起因している。

【0012】従って、本発明で取り扱うような半導体装置、なかでも広いアレイ領域(繰返しパターンを多く有する)をもって構成されるメモリデバイスにおいて、このデバイス上の絶縁膜の表面の平坦化を行なおうとすると、広いアレイ領域の中央部付近で前述のストッパー膜を用いた研磨技術では起らなかったオーバー研磨が発生し、平坦な層間絶縁膜形状が得られない。さらには、このオーバー研磨がひどくなると、デバイス上の層間絶縁膜を完全に研磨除去してしまい、デバイスの上表面まで研磨してしまうといった致命的な問題が現出する。

【0013】

【発明が解決しようとする課題】図15にはその状態のデバイス断面を模式的に示している。即ち図15は、従来のストッパー膜を用いた研磨による平坦化方法をメモリデバイスに適用した際生じた問題を説明するための、メモリデバイスの断面図である。図15のようなデバイスに前述のストッパー膜(73)を用いた研磨技術を適用する場合、研磨除去したい絶縁膜の段差の凸部分(72)(デバイスアレイ領域(71)上の点線で示された部分)以外にストッパー膜(73)を配置することにな

るので、図示のようにこのストッパー膜(73)の存在する領域の方が狭いためにオーバー研磨の停止性能が落ち、オーバー研磨領域(74)ができ結果的に所望の平坦形状が得られない。本発明はこのような、研磨除去したい絶縁膜の段差の凸部分が他に比べ図15のように広い場合において、その凸部がオーバー研磨されることなく、さらには、この凸部領域下のデバイス部分が研磨されることを阻止した研磨平坦化技術を提供することにある。

【0014】

【課題を解決するための手段】本発明は、半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法である。また、半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、次いで前記停止層をエッチングにより除去する平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0015】また、半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列が存在する構造において、該素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層を設ける工程と、前記停止層の上部を含む表面に層間絶縁膜を堆積する工程と、前記停止層が露出するまで研磨除去し、次いで前記停止層をエッチングにより除去し、その上に層間絶縁膜を堆積する平坦面を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0016】また、層間絶縁膜よりも研磨加工速度の著しく小さい停止層、即ちストッパー膜は絶縁膜または導電性の膜を用いることができるもので、具体的には、シリコン窒化膜または窒化チタン膜であることを特徴とする半導体装置の製造方法である。また、半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列上部に、層間絶縁膜よりも研磨加工速度の著しく小さい停止層、即ちストッパー膜を設けるには、該素子もしくは配線の配列の上部とストッパー膜の間に層間絶縁膜を設けてもよく、また層間絶縁膜を設けなくてもよい。

【0017】

【作用】本発明においては、半導体基板の表面主領域に所定の高さを有する素子もしくは配線の配列の少なくとも上部に、層間絶縁膜よりも研磨加工速度の著しく小

い停止層を設け、前記停止層の上部を含む表面に層間絶縁膜を堆積させ、前記停止層が露出するまで研磨除去し、平坦面を形成するもので、研磨除去したい絶縁膜の段差の凸部分がオーバー研磨されることなく、さらには、この凸部領域下のデバイス部分が研磨されることを阻止して、半導体装置の層間絶縁膜を平坦に形成することができるものである。

【0018】本発明の実施例について図面を参照して説明する。

10 【実施例】

【実施例1】図1～図3は、本発明の研磨平坦化技術の第1の実施例を工程順に示した断面図である。以下の説明においては研磨平坦化を行なう下地デバイスとしてメモリアレイ領域と周辺領域の間に大きな絶縁膜の段差が発生するスタックキャパシタ型DRAM(ダイナミック・ランダム・アクセス・メモリ)を用いる。なおデバイスの構造としては、説明を簡単にするためにビット線を省略し、ビット線が接続される拡散層領域のみをビット線と呼ぶ。

20 【0019】図1は平坦化を行なう層間膜の下地のデバイス構造断面を示している。シリコン基板(11)上にメモリセル(12)が形成されており、図中では2個のみ示されているが、これらのメモリセルが配列されメモリセルアレイ(14)を構成している。以下では、この2個のメモリセル(12)についてのみ詳細に説明する。シリコン基板(11)上には不純物の拡散層によりなるビット線(15)と記憶ノード(12a)が形成されている。ビット線(15)をはさむシリコン基板(11)の領域上にシリコン酸化膜よりなるゲート絶縁膜(12b)が形成され、さらにその上にゲート電極(12c)が配置されることにより、メモリセル(12)のスイッチングトランジスタが構成される。

30 【0020】ゲート電極(12c)を含むシリコン基板(11)上を、シリコン酸化膜系の絶縁膜よりなる第1層間絶縁膜(16)で覆い、隣接するゲート電極(12c)やコンタクト孔(16a)の横方向の絶縁のみでなく、ゲート電極(12c)と下部電極(13)の間の縦方向の絶縁も行なっている。コンタクト孔(16a)は第1層間絶縁膜(16)に形成され、記憶ノード(12a)と下部電極(13)を電氣的に接続している。

40 【0021】メモリセル(12)の構成要素である容量部は、下部電極とこれに積層してある容量絶縁膜(17)及び上部電極(18)によってなる。この下部電極は、例えばCVD成長したドーブト多結晶シリコンよりなる。64MDRAMから1GDRAMにおいてはこの下部電極(13)の高さは0.8μmから1.2μm程度に形成される。また容量絶縁膜(17)としてはシリコン窒化膜とシリコン酸化膜の複合膜が一般的であり、シリコン酸化膜の膜厚にして、5nmから3.8nm程度が使用される。さらに上部電極はCVDで形成された10

0から200nm程度の多結晶シリコンよりなる。この状態に対し、図2に示されるようにシリコン酸化膜系の第2層間絶縁膜(19)を0.1μmから0.3μm全面に堆積する。

【0022】この第2層間絶縁膜(19)としてBPSGのようなリフロー性を有する膜を用いて、リフローを行なってもよい。この後シリコン窒化膜よりなるストッパー膜(20)を0.1μmから0.2μmCVD法により形成する。続いて、図3(a)に示すように、シリコン酸化膜系の第3層間絶縁膜(21)を1.5μmから1.8μm程度成膜する。この状態から研磨を行なう。研磨技術としては、化学的機械的研磨法でも機械的研磨法でもどちらを用いてもかまわない。両者の違いは、化学的研磨法では研磨液に通常の研磨材(砥粒)を懸濁させただけでなく、被研磨部材を化学的にエッチングする性質をもたせたものであり、機械的研磨法では、化学的エッチング性を有さない研磨材のみを含んだ研磨液を用いて研磨を行なうものである。実施例としては、機械的研磨法について説明を行なう。

【0023】図16に研磨の概念図を示す。回転定盤(81)の上に研磨用パッド(82)を張り付け、研磨液(83)を適下しながら、ウエハーホルダー(84)に保持されたウエハー(85)に荷重を加えつつ回転させ、研磨を行なう。研磨パッド(82)として発泡性のポリウレタンよりなるもの、ポリウレタン含浸のポリエステル繊維構造のもの、もしくはこれらの積層構造のものを用いると、実施例で説明する研磨には好適である。また研磨液としては前述したようにシリカ砥粒を純水に懸濁したものが好ましい。化学的機械的研磨法では例えばアンモニア水溶液に懸濁させたコロイド状シリカを研磨液として用いればよい。

【0024】このような方法で研磨を行うと、図3(a)において示した第3層間絶縁膜(21)にできた段差の高い部分が選択的に研磨され段差が小さくなっていく。実験では段差の低い部分の第3層間絶縁膜(21)の膜厚の減少量よりも、段差の低減していく速度が1.5から2倍程度早かった。このようにして図2

(b)に示すストッパー膜(20)が露出するところには、段差はほぼなくなり、図に(22)として示す平坦面が形成できる。

【0025】ここで、もしこの実施例のようにストッパー膜(20)が設置されておらず、平坦面が形成できたのち、さらに研磨が停止されずにいると、第2層間絶縁膜(19)が研磨されてしまい、ほぼ2分程度あとは上部電極(18)まで研磨されてしまう。この上部電極(18)の研磨が始まると、この上部電極(18)が多結晶シリコンからできていると、研磨速度は層間絶縁膜を構成するBPSG膜よりも研磨速度が早い為に、容量部全体が研磨されてしまいメモリセルとして機能しなくなってしまう。

【0026】しかしながら、この実施例のように、例えばシリコン窒化膜よりなるストッパー膜(20)が設置されていれば、第2層間絶縁膜(19)として使用するBPSG膜に比べ、研磨の進行速度(研磨速度)が5から10倍程度遅いため、このストッパー膜が露出してから、12から22分程度過剰に研磨を行なっても第2層間絶縁膜(19)が研磨されることはなく、上部電極(18)を含む容量部分が研磨されることはない。この12分から22分という時間は、ウエハ面内で研磨速度に不均一面が生じてこの程度の時間を加えることにより、ウエハ全面平坦面を形成するのに十分な時間であり、この時間内に研磨を停止することは十分な余裕をもって可能である。従ってこの実施例によれば、スタック容量を有するDRAMの容量部上の層間絶縁膜の平坦化がウエハ全面にわたって容易に形成できる。

【0027】【実施例2】つぎに本発明の第2の実施例について説明する。図4は第2の実施例を説明するための研磨の工程順に示した断面図である。研磨を開始する際の断面形状としては、図2(a)と同じである。この状態から、第1の実施例と同じ方法で研磨を行なう。第1の実施例の場合よりも段差の下側の部分の第3層間絶縁膜(21)の研磨速度が早くなり、第1の実施例よりも平坦性の劣る面、即ち図4(a)で凹み(23)として示すような面が形成されてしまった場合、例えばストッパー膜(20)としてシリコン窒化膜を使用している場合、熱リン酸を用いて第3層間絶縁膜(21)に覆われていない部分のストッパー膜(20)をウェットエッチング除去する。

【0028】この方法によれば、凹み(23)が形成されてもストッパー膜(20)の膜厚分だけ段差の上部分を低くすることができ、研磨の技術に不十分なものがあってもそれを回避し、第1の実施例と同様な平坦面が形成できる。この第2の実施例と第1の実施例の違いは、第1の実施例に比べ第2の実施例の方が研磨技術が劣っていても、同様な平坦面が形成できる、即ち研磨技術に自由度ができるといった点である。

【0029】【実施例3】次に第3の実施例について説明する。第1の実施例の説明に用いた図1においては、上部電極(18)、容量絶縁膜(17)をパターニングした状態を示したが、第3の実施例では図5(a)に示すようにパターニングを行わずウエハ全面に両者がついた状態で(図5(a)の上部電極部材(18a)の状態)、その直上に例えばシリコン窒化膜よりなるストッパー層(20)を0.1μmから0.2μmCVD法により成膜する。その後レジスト(24)を塗布し、リソグラフィ技術により上部電極の形状にパターニングを行なう。これをマスクに上部電極部材(18a)及び容量絶縁膜(17)をドライエッチングし、図5(b)の形状を得る。

【0030】さらにシリコン酸化膜系の第2層間絶縁膜

(19)を $1.5\mu\text{m}$ から $1.8\mu\text{m}$ 程度堆積する。この状態から、研磨を開始する。この研磨により第2層間絶縁膜(19)の段差の上部が選択的に除去され、ストッパー膜(20)が露出する時点では、図6に示すような平坦面(22)が得られる。このストッパー(20)膜は、前述の第1、第2の実施例で説明したように研磨速度が第2層間絶縁膜にくらべて十分遅いため、上部電極(18)が露出研磨されることはない。

【0031】この第3の実施例と第1、第2の実施例との違いは第1、第2の実施例では上部電極の直上にストッパー膜(20)が配置されず、ストッパー膜(20)と上部電極(18)の間に層間絶縁膜が介在することである。第3の実施例ではこの層間絶縁膜が排除されている分、デバイス全体を構成する層間絶縁膜の合計の高さが薄くなり、その層間絶縁膜に形成されるコンタクトの深さが浅くなり、その形成が容易になるとともに、コンタクト抵抗が低くなるといった利点がある。

【0032】【実施例4】次に、第4の実施例について説明する。第4の実施例には、第3の実施例(図6)の研磨においてストッパー膜(20)の周囲の第2層間絶縁膜(19)の膜減りが大きく、図6の場合よりも平坦性の劣った形状が形成された場合に、平坦性を向上させる方法である。平坦性の劣った形状としては図7(a)に示すような形状がある。この状態から、第2層間絶縁膜(19)に覆われていないストッパー膜(20)のみを選択的にエッチング除去する。

【0033】これまで示してきた実施例のように、ストッパー膜(20)として例えばシリコン窒化膜を用いた場合、熱リン酸によって第2層間絶縁膜に覆われていないストッパー膜(20)を図7(b)のように除去する。その後、シリコン酸化膜系の第3層間絶縁膜(21)を $0.2\mu\text{m}$ から $0.3\mu\text{m}$ 程度堆積する。この第4の実施例によれば研磨終了後、ストッパー膜(20)と第2層間絶縁膜(19)の間の段差が $0.2\mu\text{m}$ 程度生成された場合でも、ほぼ段差のない平坦面(22)が形成できる。

【0034】この第4の実施例の利点として、研磨で形成された略平坦面をより平坦にできるといったことに加え、容量部上、及び隣接する容量部の間にストッパー膜(20)となるシリコン窒化膜が残らないために、容量部にストレスを与えないことがあげられる。研磨ストッパー膜としては膜の材質として加工につよいもの、すなわち固くてストレスを発生しやすいといったものが選択される可能性が高い。そのためストレスの発生源となるこのストッパー膜を除去することはデバイス特性の面からも都合が良い。特に容量の増大を図るために容量絶縁膜(17)として、窒化膜と酸化膜の積層構造ではなく、これより比誘電率の大きいタンタル酸化膜などを用いた場合にこのストレスの少ない構造が好適である。高誘電率膜ではストレスを受けるとリーク電流が増大する

ため、ストレスが少ない方がリーク電流を低減できメモリの保持特性を良好なものにできる。

【0035】【実施例5】最後に第5の実施例について説明する。第1の実施例から第4の実施例までは、ストッパー膜として絶縁膜を用いる場合を示したが、第5の実施例ではこれに導電性のストッパー膜を用いる場合について説明する。図5(a)に示した上部電極部材(18a)上のストッパー膜(20a)の代りに、たとえばスパッタ法もしくはCVD法で形成した窒化チタン膜、導電性ストッパー膜としてウエハ全面に成長する。さらに第3の実施例で説明したように上部電極、容量絶縁膜、導電性ストッパー膜を容量の形状にパターンニングする。この形状の上にシリコン酸化膜の第2層間絶縁膜(19)を成長した後の構造が図8(a)である。ここで(20a)が導電性ストッパー膜である。第2層間絶縁膜(19)はこれまでの実施例と同様 $1.5\mu\text{m}$ から $1.8\mu\text{m}$ 程度成膜すれば良い。

【0036】この図8(a)の状態から研磨を開始する。導電性ストッパー膜(20a)が露出した時点で研磨を停止することにより、図8(b)のような第1平坦面(22a)が形成できる。この場合ストッパー膜が導電性を有するためにこのまま、さらに上層の配線を形成することはできない為、この上層に図9に示すように、シリコン酸化膜系の第3層間絶縁膜(21)を形成することにより、最終的な第2の平坦面(22b)が形成できる。

【0037】この実施例では、導電性ストッパー膜(20a)として窒化チタン膜を使用した。これは研磨に対するストッパーとしての働きが、これまで示したシリコン窒化膜を用いたストッパー膜よりも優れているため、容量部保護の効果はより大きくできる。さらに容量絶縁膜として高誘電率膜を使用する場合には、上部電極として金属系膜が用いられるので、プロセス全体の整合性も良いといった利点もあわせてもっている。

【0038】これらの実施例では、容量の上の層間絶縁膜の平坦化までについて説明したが、メモリの形成については、この層間絶縁膜にコンタクト孔を開口し、アルミを主とした配線を形成するといったプロセスが必要である。さらにその上層に、もう一層もしくはそれ以上の配線を形成するといった場合もある。このようなアレイ状に配列された配線の上の層間絶縁膜を平坦化するという場合にも、本発明の平坦化方法は適用可能でありさらに上層の配線を形成するのに好適な平坦面を形成することが可能である。また平坦化を行なう層間絶縁膜としてシリコン酸化膜系材料なかでも実施例としては、リフロー性を有するBPSG膜としたが、リフロー性の小さいリン、ボロンを含まない酸化膜たとえばプラズマCVDにより成膜した酸化膜もしくは常圧CVDにより成膜した酸化膜を用いた場合においても同様な効果が得られる。

【0039】

【発明の効果】本発明の層間絶縁膜の平坦化方法によれば、DRAMメモリセルアレイなどで問題となるアレイ領域と周辺領域の間の層間絶縁膜の段差を除去でき、平坦な層間絶縁膜が形成できる。この平坦な層間絶縁膜形状によりその上層の配線などのデバイス形成が容易になり、デバイスの微細化、高集積化が可能となるという効果を奏するものである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図2】 本発明の第1の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図3】 (a)、(b)は、本発明の第1の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図4】 (a)、(b)は、本発明の第2の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図5】 (a)、(b)は、本発明の第3の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図6】 本発明の第3の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図7】 (a)、(b)は、本発明の第4の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図8】 (a)、(b)は、本発明の第5の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図9】 本発明の第5の実施例による層間絶縁膜の平坦化方法を工程順に示した断面図である。

【図10】 (a)、(b)は、従来の研磨を用いた平坦化方法を工程順に示した断面図である。

【図11】 従来の研磨による平坦化方法を工程順に示した断面図である。

【図12】 (a)、(b)は、従来のストッパー膜を用いた配線とコンタクトの構造の断面図で、(a)は2層配線のコンタクト部分の断面図である。(b)は従来のストッパー膜を用いてないコンタクト部分の断面図である。

【図13】 (a)～(c)は、従来のストッパー膜を用いた研磨による平坦化方法を工程順に示した断面図である。

【図14】 (a)～(c)は、従来のストッパー膜を用いた研磨による平坦化方法を工程順に示した断面図である。

【図15】 従来のストッパー膜を用いた研磨による平坦化方法をメモリデバイスに適用した際生じた問題を説明するための、メモリデバイスの断面図である。

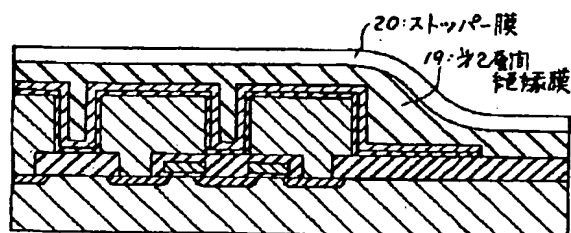
【図16】 本発明の実施例で用いた研磨技術及び研磨方法を説明するための概念図である。

【符号の説明】

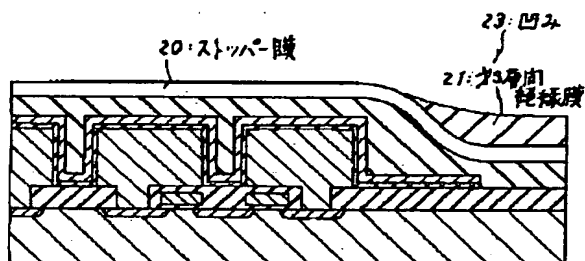
- 11 シリコン基板
- 12 メモリセル
- 13 下部電極
- 14 メモリセルアレイ
- 15 ビット線
- 16 第1層間絶縁膜
- 17 容量絶縁膜
- 18 上部電極
- 18a 上部電極部材
- 19 第2層間絶縁膜
- 20 ストッパー膜
- 20a 導電性ストッパー膜
- 21 第3層間絶縁膜
- 22 平坦面
- 22a 第1の平坦面
- 22b 第2の平坦面
- 23 凹み
- 24 レジスト
- 32 素子分離
- 33a ソース
- 33b ドレイン
- 34 ゲート電極
- 35 配線
- 36 第1層間絶縁膜
- 37 コンタクト
- 38 下層配線
- 39 第2層間絶縁膜
- 40 段差
- 51 第1層配線
- 52 絶縁膜
- 53 コンタクトホール
- 54 第2層配線
- 55 柱状凸部
- 56 支持基板
- 57 第1層配線
- 58 エッチングストッパー膜
- 59 柱状凸部形成部材
- 59a 柱状凸部
- 60 PSG膜
- 61 研磨ストッパー膜
- 61a 研磨ストッパー平坦部
- 61b 研磨ストッパー隆起部
- 62 レジスト膜
- 71 デバイスアレイ領域
- 72 凸部分
- 73 ストッパー膜
- 74 オーバー研磨領域

- 84 ウェハーホルダー
85 ウェハー

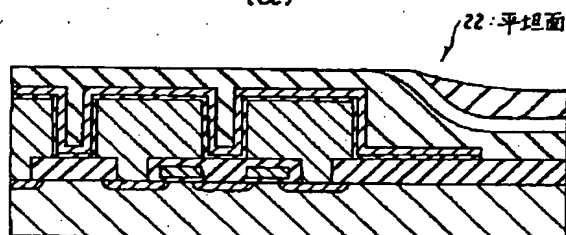
【図 2】



【図4】



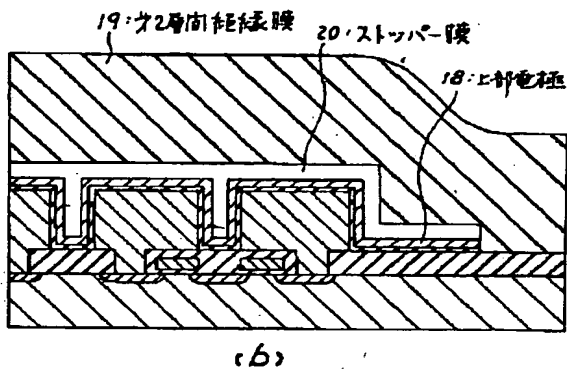
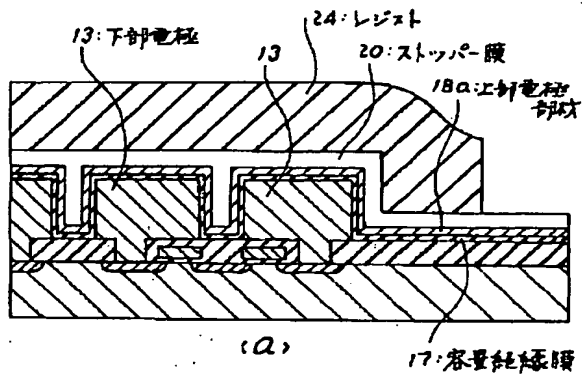
(a)



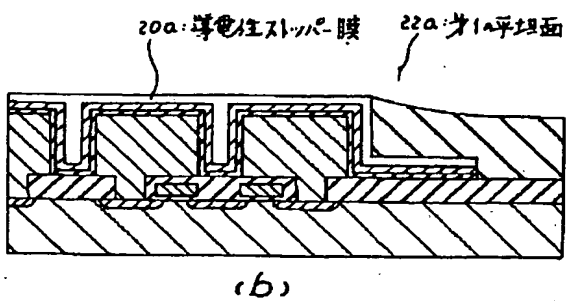
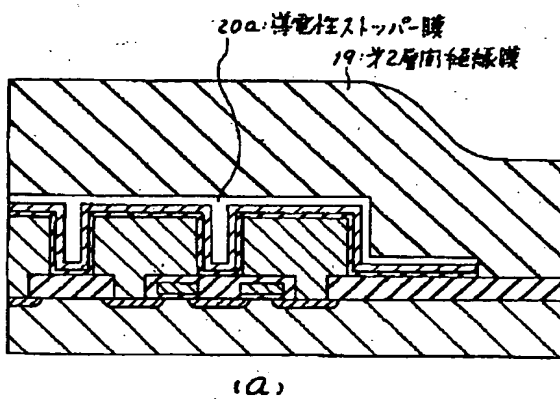
(b)

Figure 1 is a cross-sectional view of a semiconductor device. It shows a substrate with a flat surface (22) and a second layer (19) on top. A gate electrode (18) is formed on the surface, with a spacer film (20) on its side. A gate insulating film (19) is also shown.

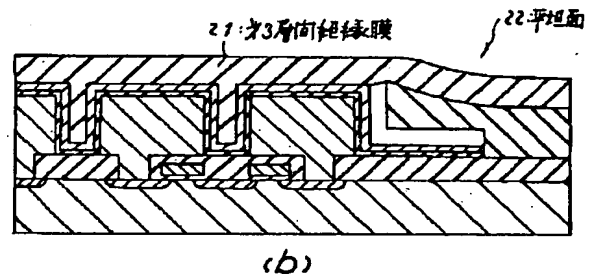
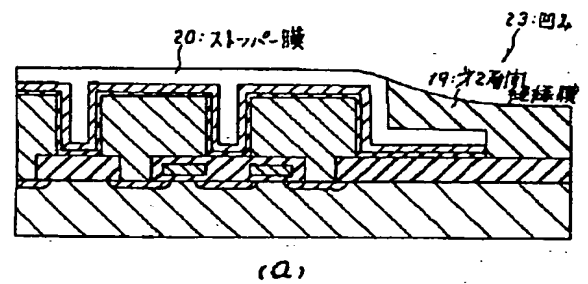
【図5】



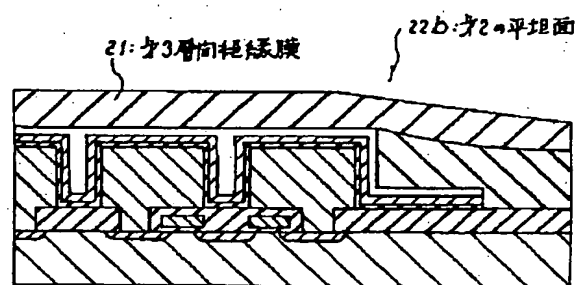
【図8】



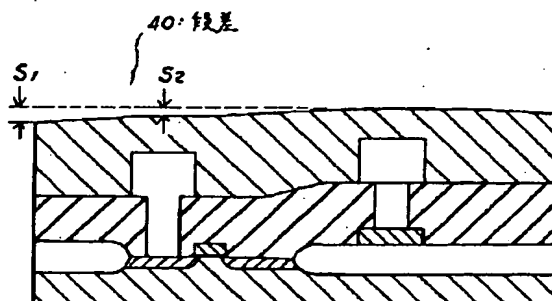
【図7】



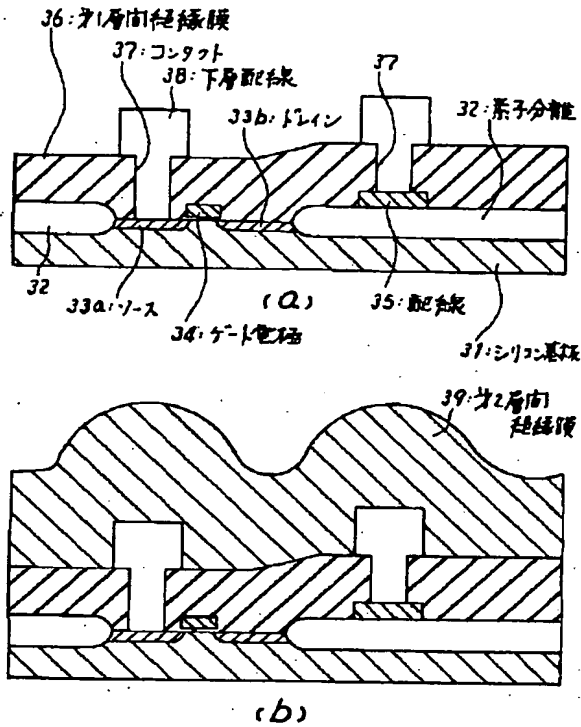
【図9】



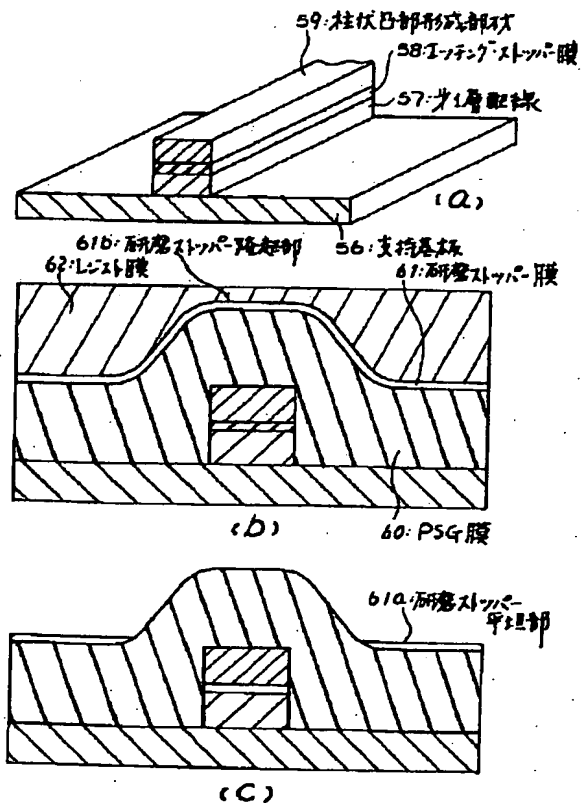
【図11】



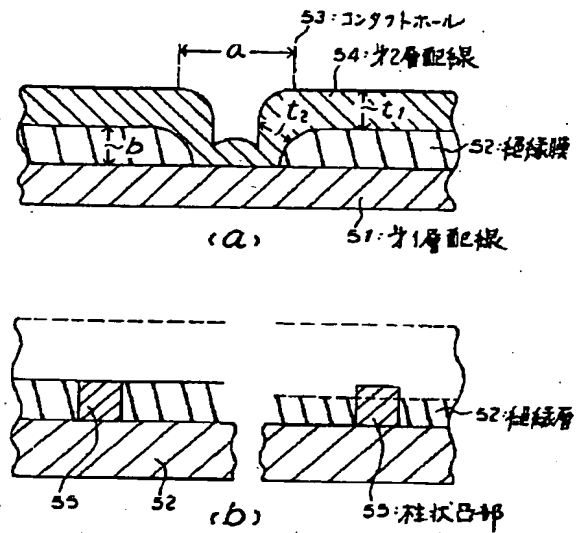
【図10】



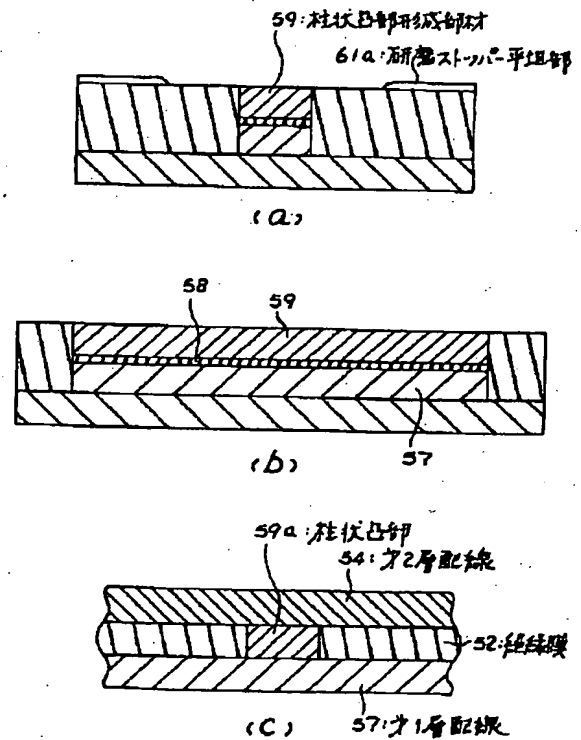
【図13】



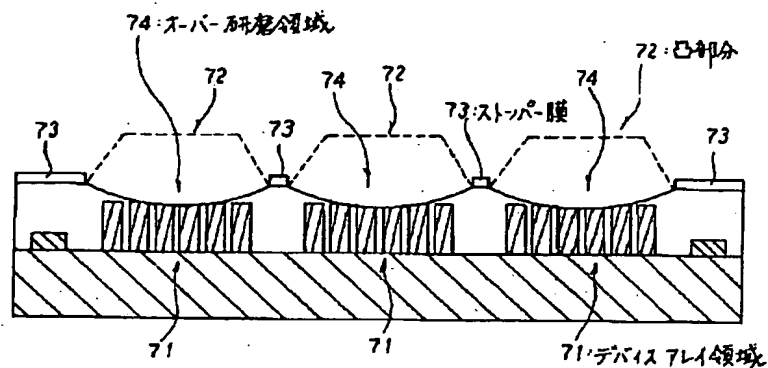
【図12】



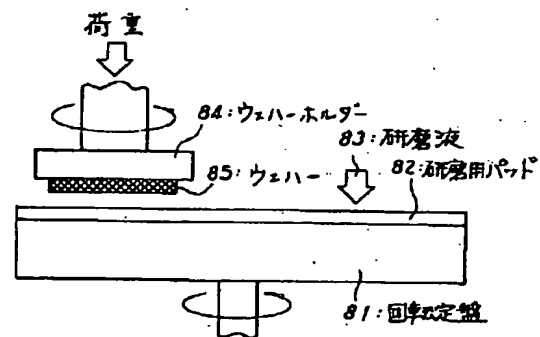
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.⁶
H01L 27/108

識別記号 庁内整理番号

7210-4M

FI

H01L 27/10

技術表示箇所

325 C